

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222914

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/52

H01L 21/56

H01L 21/60

H01L 23/28

(21)Application number : 2001-017800

(71)Applicant : SONY CORP

(22)Date of filing : 26.01.2001

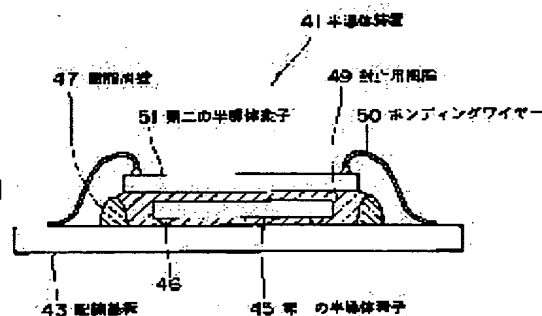
(72)Inventor : SHIBUE HITOSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method therefor wherein there is no restriction on the contour and size of semiconductor chips and semiconductor chips in any contour and size can be stacked so that high-density packaging can be implemented with any combination of the contours of semiconductor chips vertically stacked.

SOLUTION: The semiconductor device 41 is provided with a first semiconductor chip 45 bonded to a wiring board 43 by flip chip bonding; a resin barrier 47 formed on the wiring board 43, so that the first semiconductor chip 45 is encircled with the barrier; sealing resin 49 filled inside the resin barrier 47 and cured; and a second semiconductor chip 51 whose underside is bonded to the upper face of the sealing resin 49, and which is provided on the surface thereof with electrodes connected with the wiring on the wiring board 43 through bonding wires 50.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-222914

(P2002-222914A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 25/065
25/07
25/18
21/52

H 0 1 L 21/52

21/56
21/60

A 4 M 1 0 9
D 5 F 0 4 4
R 5 F 0 4 7
3 0 1 A 5 F 0 6 1
3 1 1 S

審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願2001-17800(P2001-17800)

(22) 出願日

平成13年1月26日(2001.1.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 渋谷 人志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム(参考) 4M109 AA01 CA06 DB06

5F044 AA02 JJ03 KK01 LL11 RR03

RR17 RR18

5F047 BA21 BB13

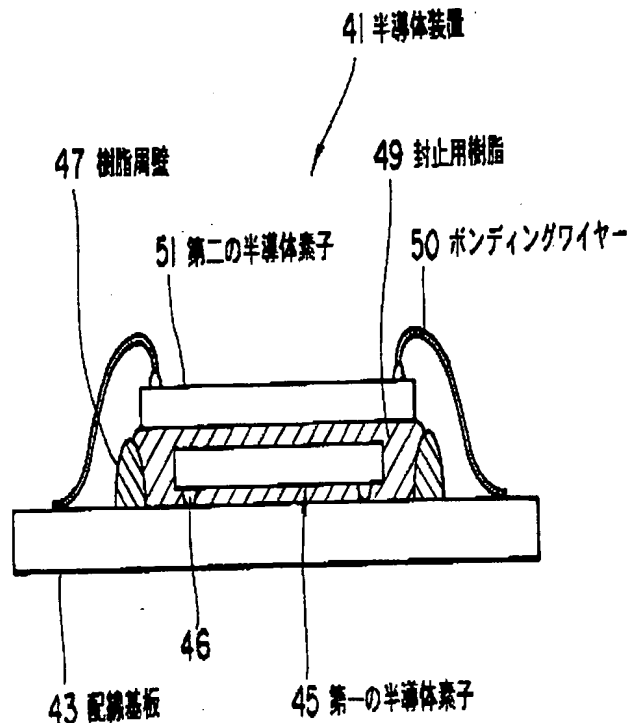
5F061 AA02 BA03 CA06 CB02

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体素子の外形サイズに制約されることなく、任意の外形サイズの半導体素子を積層することができる半導体装置及びその製造方法を提供し、上下に積層される半導体素子のあらゆる形状の組合せにおいても、高密度実装化を可能にする。

【解決手段】 半導体装置41において、配線基板43上にフリップチップボンディングされる第一の半導体素子45と、この第一の半導体素子45を包囲して配線基板43上に設けられる樹脂周壁47と、この樹脂周壁47の内方に充填されて硬化される封止用樹脂49と、この封止用樹脂49の上面に背面が固着され表面に設けられた電極が配線基板43の配線にボンディングワイヤー50によって接続される第二の半導体素子51とを設けた。



【特許請求の範囲】

【請求項 1】 配線基板上にフリップチップボンディングされる第一の半導体素子と、

該第一の半導体素子を包囲して前記配線基板上に設けられる樹脂周壁と、

該樹脂周壁の内方に充填されて硬化される封止用樹脂と、

該封止用樹脂の上面に背面が固着され表面に設けられた電極が前記配線基板の配線にボンディングワイヤーによって接続される第二の半導体素子とを具備したことを特徴とする半導体装置。

【請求項 2】 前記第二の半導体素子の厚み方向の一部が前記封止用樹脂に埋入されるとともに、該第二の半導体素子の背面が前記封止用樹脂を介在させて前記第一の半導体素子の背面に支持され、

且つ前記第二の半導体素子の表面が前記封止用樹脂の表面から突出して配置されることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 配線基板上に第一の半導体素子をフリップチップボンディングする工程と、

前記配線基板上に前記第一の半導体素子を包囲する樹脂周壁を形成する工程と、

該樹脂周壁の内方に液状の封止用樹脂を充填する工程と、

該封止用樹脂の上面に第二の半導体素子の背面を固着する工程と、

前記第二の半導体素子が前記封止用樹脂に固着された後に、前記第二の半導体素子の表面に設けられた電極をボンディングワイヤーによって前記配線基板の配線に接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記封止用樹脂の上面への前記第二の半導体素子の固着が、前記封止用樹脂の完全硬化前且つ所定の硬度発現後に、前記第二の半導体素子の背面を前記封止用樹脂の上面に載置することで行われることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記封止用樹脂に使用される樹脂の硬化前の粘度が、前記樹脂周壁に使用される樹脂の硬化前の粘度より低いことを特徴とする請求項 3 又は 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体素子が重ねられて積層状となる半導体装置及びその製造方法に関し、特に、上下に配置される半導体素子の外形サイズに制約されることなく積層を可能にする技術に関する。

【0002】

【従来の技術】半導体素子が配線基板に実装されると、その面積が当該半導体素子に専有され、他の半導体素子

の実装ができなくなる。一方、近年では、ビデオカメラ、CD・MDプレーヤ、携帯電話機等の電子機器は、より一層の小型化、高性能化が要請されている。このような要請に応えるため、半導体素子の占める面積を二倍に活用可能にした半導体装置が提案された。

【0003】例えば、図 4 に示す半導体装置 1 は、二つの半導体素子 3、5 のうち、一方の半導体素子 3 の電気接続面 7 の反対側面（背面）9 と、他方の半導体素子 5 の電気接続面 11 の反対側面（背面）13 を重ねて接着剤 15 で接着し、上方の半導体素子 5 の電気接続面 11 をボンディングワイヤー 17 により配線基板 19 の配線に電気接続し、下方の半導体素子 3 の電気接続面 7 をバンプ 23 により配線基板 19 の配線と電気接続したものとなっている。

【0004】また、図 5 に示す半導体装置 25 は、二つの半導体素子 27、29 のうち、一方の半導体素子 27 の電気接続面 31 の反対側面（背面）33 を接着剤 15 で配線基板 19 にダイボンディングし、この半導体素子 27 の各電極をボンディングワイヤー 17 により配線基板 19 の配線に電気接続し、さらにその半導体素子 27 の表面に、他方の半導体素子 29 をバンプ 35 によりフリップチップボンディングしたものとなっている。

【0005】これらの半導体装置 1、25 によれば、一つの半導体素子によって実装面積が専有される従来の半導体装置に比べ、二倍の高密度実装が可能になり、電子機器の小型化を実現可能にしている。

【0006】

【発明が解決しようとする課題】しかしながら、図 4 に示した従来の半導体装置 1 は、上層の半導体素子の各電極の配置されることによって形成される電極エリアよりも、下層の半導体素子の外形サイズが大きいことが必要であった。その理由は、上層の半導体素子の各電極にボンディングワイヤーを接続する際、上層の半導体素子の各電極の直下には、何らかの支持体が必要になり、その支持体が存在しない場合（オーバーハング状態の場合）、上層の半導体素子の各電極にボンディングが施されると、上層の半導体素子に部分的に機械的な負荷がかかり、上層の半導体素子が破損するためである。また、図 5 に示した従来の半導体装置 25 は、下層の半導体素子へボンディングワイヤーを接続しなければならないため、下層の半導体素子の各電極の配置によって形成される電極エリアよりも、上層の半導体素子の外形サイズが小さいことが必要になる。従って、上記したいずれの従来技術も、下層の半導体素子と、上層の半導体素子との外形サイズの関係に制約が生じ、外形サイズの組合せによっては積層が不能なことから、高密度実装が実現できない問題があった。本発明は上記状況に鑑みてなされたもので、半導体素子の外形サイズに制約されることなく、任意の外形サイズの半導体素子を積層することができ半導体装置及びその製造方法を提供し、上下に積層

される半導体素子のあらゆる形状の組合せにおいても、高密度実装化を可能にすることを目的とする。

【０００７】

【課題を解決するための手段】上記目的を達成するための本発明に係る請求項１記載の半導体装置は、配線基板上にフリップチップボンディングされる第一の半導体素子と、該第一の半導体素子を包囲して前記配線基板上に設けられる樹脂周壁と、該樹脂周壁の内方に充填されて硬化される封止用樹脂と、該封止用樹脂の上面に背面が固着され表面に設けられた電極が前記配線基板の配線にボンディングワイヤーによって接続される第二の半導体素子とを具備したことを特徴とする。

【０００８】この半導体装置では、第二の半導体素子の外形サイズが第一の半導体素子の外形サイズより大きい場合であっても、第二の半導体素子が封止用樹脂に載置される。従って、ボンディングの際に、第二の半導体素子に作用する機械的な負荷が、封止用樹脂に負担され、第二の半導体素子の破損が防止される。これにより、第一の半導体素子の外形サイズに制約されることなく、任意の外形サイズの第二の半導体素子が積層可能になり、上下に積層される半導体素子のあらゆる形状の組合せにおいて、高密度実装化が可能になる。

【０００９】請求項２記載の半導体装置は、前記第二の半導体素子の厚み方向の一部分が前記封止用樹脂に埋入されるとともに、該第二の半導体素子の背面が前記封止用樹脂を介在させて前記第一の半導体素子の背面に支持され、且つ前記第二の半導体素子の表面が前記封止用樹脂の表面から突出して配置されることを特徴とする。

【００１０】この半導体装置では、第二の半導体素子の厚み方向の一部分が封止用樹脂に埋入され、第二の半導体素子の封止用樹脂への接着強度が高まる。また、第二の半導体素子の背面が、封止用樹脂を介在させて第一の半導体素子の背面に支持され、第二の半導体素子の封止用樹脂への埋没が阻止され、第二の半導体素子の高さ方向の位置決めが高精度に可能になる。さらに、第二の半導体素子の表面が封止用樹脂の表面から突出して配置され、表面に設けられた電極が封止用樹脂に覆われることが防止される。

【００１１】請求項３記載の半導体装置の製造方法は、配線基板上に第一の半導体素子をフリップチップボンディングする工程と、前記配線基板上に前記第一の半導体素子を包囲する樹脂周壁を形成する工程と、該樹脂周壁の内方に液状の封止用樹脂を充填する工程と、該封止用樹脂の上面に第二の半導体素子の背面を固着する工程と、前記第二の半導体素子が前記封止用樹脂に固着された後に、前記第二の半導体素子の表面に設けられた電極をボンディングワイヤーによって前記配線基板の配線に接続する工程とを含むことを特徴とする。

【００１２】この半導体装置の製造方法では、配線基板上に第一の半導体素子を包囲する樹脂周壁が形成された

後、この樹脂周壁の内方に封止用樹脂が充填される。従って、配線基板上には、第一の半導体素子が包含され且つ樹脂周壁によって外形の定められた封止用樹脂が台板状に形成され、この封止用樹脂の上面が第二の半導体素子を支持する載置面となる。この封止用樹脂の上面に第二の半導体素子が固着されることで、第一の半導体素子の外形サイズに依存せず、第二の半導体素子が支持可能になる。これにより、あらゆる形状の半導体素子の組合せにおいて、上下に半導体素子を積層する半導体装置の製造が可能になる。

【００１３】請求項４記載の半導体装置の製造方法は、前記封止用樹脂の上面への前記第二の半導体素子の固着が、前記封止用樹脂の完全硬化前で且つ所定の硬度発現後に、前記第二の半導体素子の背面を前記封止用樹脂の上面に載置することで行われることを特徴とする。

【００１４】この半導体装置の製造方法では、第二の半導体素子が、封止用樹脂の完全硬化前で且つ所定の硬度発現後に、封止用樹脂の上面に載置され、封止用樹脂に固着される。即ち、封止用樹脂の完全硬化と同時に、第二の半導体素子が封止用樹脂に固着される。従って、完全硬化した後の封止用樹脂に、第二の半導体素子を固着する場合に必要な固着のための専用接着剤が不要になる。

【００１５】請求項５記載の半導体装置の製造方法は、前記封止用樹脂に使用される樹脂の硬化前の粘度が、前記樹脂周壁に使用される樹脂の硬化前の粘度より低いことを特徴とする。

【００１６】この半導体装置の製造方法では、封止用樹脂の硬化前の粘度が、樹脂周壁に使用される樹脂の硬化前の粘度より低いことにより、樹脂周壁の内方への封止用樹脂の充填率が高まる。また、逆に、樹脂周壁に使用される樹脂の硬化前の粘度が、封止用樹脂の硬化前の粘度より高いことにより、封止用樹脂の樹脂周壁からの流出が防止される。

【００１７】

【発明の実施の形態】以下、本発明に係る半導体装置及びその製造方法の好適な実施の形態を図面を参照して詳細に説明する。図１は本発明に係る半導体装置の断面図、図２は半導体素子の外形サイズの組合せ例（ａ）

（ｂ）を示す説明図、図３は図１に示した半導体装置の変形例を説明する要部拡大断面図である。

【００１８】この実施の形態による半導体装置４１は、配線基板４３上に、第一の半導体素子（下層の半導体素子）４５がバンプ４６によってフリップチップボンディングされている。配線基板４３上には、第一の半導体素子４５を包囲して樹脂周壁４７が形成されている。この樹脂周壁４７の形状は、後述する第二の半導体素子の電極エリアによって決定される。即ち、第二の半導体素子の電極エリアが、内方に配置される形状で形成される。従って、第二の半導体素子の外形の全てが、樹脂周壁４

7の内方に配置される必要はない。つまり、第二の半導体素子の電極エリア以外の部分は、樹脂周壁47から外れて、オーバーハング状態となってもよい。

【0019】この樹脂周壁47の内方には、封止用樹脂49が充填され、硬化されている。封止用樹脂49の上には、第二の半導体素子（上層の半導体素子）51の背面が固着されている。第二の半導体素子51は、封止用樹脂49の硬化前に、載置されることで、封止用樹脂49を接着材として固着される。第二の半導体素子51は、表面に設けられた電極がボンディングワイヤー50によって配線基板43の配線に接続されている。

【0020】なお、第二の半導体素子51は、封止用樹脂49が完全硬化した後に、封止用樹脂49に接着されるものであってもよい。この場合には、専用の接着剤が封止用樹脂49と第二の半導体素子51との間に塗布されることになる。このような封止用樹脂49の完全硬化後に第二の半導体素子51を固着させる構造では、第二の半導体素子51の高さ寸法や平行度を高精度に確保することができる。

【0021】この半導体装置41によれば、図2(a)に示すように、第二の半導体素子51の外形サイズが第一の半導体素子45の外形サイズより大きい場合であっても、第二の半導体素子51が封止用樹脂49に載置される。従って、ボンディングの際に、第二の半導体素子51に作用する機械的な負荷を、封止用樹脂49に負担させて、第二の半導体素子51の破損を防止することができる。これにより、第一の半導体素子45の外形サイズに制約されることなく、任意の外形サイズの第二の半導体素子51が積層可能になり、上下に積層される半導体素子のあらゆる形状の組合せにおいて、高密度実装化が可能になる。

【0022】なお、半導体装置41は、図2(b)に示すように、第二の半導体素子51の外形サイズが第一の半導体素子45の外形サイズより小さい外形サイズ関係において積層されるものであっても勿論よい。

【0023】また、本発明に係る半導体装置は、上記の実施の形態の変形例として、図3に示す構成とされてもよい。即ち、図3に示す半導体装置は、第二の半導体素子51の厚み方向の一部分が、封止用樹脂49に埋入されるとともに、第二の半導体素子51の背面が封止用樹脂49を介在させて第一の半導体素子45の背面に支持されている。また、第二の半導体素子51は、表面が封止用樹脂49の表面から突出するようにして配置されている。

【0024】この半導体装置の変形例によれば、第二の半導体素子51の厚み方向の一部分が封止用樹脂49に埋入され、第二の半導体素子51の封止用樹脂49への接着強度が高まる。また、第二の半導体素子51の背面が、封止用樹脂49を介在させて第一の半導体素子45の背面に支持され、第二の半導体素子51の封止用樹脂

49への埋没が阻止される。これにより、第二の半導体素子51を、高さ方向に高精度に位置決めできる。さらに、第二の半導体素子51の表面が封止用樹脂49の表面から突出して配置されるので、表面に設けられた電極や受光部が封止用樹脂49に覆われることを防止できる。

【0025】上記の実施の形態による半導体装置41を製造する手順としては、まず、配線基板43上に第一の半導体素子45をフリップチップボンディングする。次いで、配線基板43上に、第一の半導体素子45を包囲するようにして、樹脂周壁47を形成する。次いで、樹脂周壁47の内方に、液状の封止用樹脂49を充填する。その後、封止用樹脂49の上面に第二の半導体素子51の背面を固着する。第二の半導体素子51が封止用樹脂49に固着された後に、第二の半導体素子51の表面に設けられた電極を、ボンディングワイヤー50によって配線基板43の配線に接続する。以上により半導体装置41の製造が完了する。

【0026】この半導体装置41の製造方法によれば、配線基板43上に第一の半導体素子45を包囲する樹脂周壁47が形成された後、この樹脂周壁47の内方に封止用樹脂49が充填される。従って、配線基板43上には、第一の半導体素子45が包含され且つ樹脂周壁47によって外形の定められた封止用樹脂49が台板状に形成され、この封止用樹脂49の上面が第二の半導体素子51を支持する載置面となる。この封止用樹脂49の上面に第二の半導体素子51が固着されることで、第一の半導体素子45の外形サイズに依存せず、第二の半導体素子51が支持可能になる。これにより、あらゆる形状の半導体素子の組合せにおいて、上下に半導体素子を積層する半導体装置41の製造が可能になる。

【0027】なお、上記の製造方法において、封止用樹脂49の上面への第二の半導体素子51の固着は、封止用樹脂49の完全硬化前且つ所定の硬度発現後に、第二の半導体素子51の背面を封止用樹脂49の上面に載置することで行われるものであってもよい。

【0028】このような固着方法によれば、封止用樹脂49の完全硬化と同時に、第二の半導体素子51が封止用樹脂49に固着される。従って、完全硬化した後の封止用樹脂49に、第二の半導体素子51を固着する場合に必要な固着のための専用接着剤が不要になる。なお、ここで、封止用樹脂49の「完全硬化前」とは、接着力の消失する前を意味し、「所定の硬度」とは第二の半導体素子51を浮上させた状態に支持可能な硬度を意味するものとする。

【0029】また、上記の製造方法において、封止用樹脂49に使用される樹脂の硬化前の粘度は、樹脂周壁47に使用される樹脂の硬化前の粘度より低いことが好ましい。このような粘度条件とすることにより、樹脂周壁47の内方への封止用樹脂49の充填率を高めることが

できる。また、封止用樹脂 49 の樹脂周壁 47 からの流出を防止することができる。

【0030】

【発明の効果】以上詳細に説明したように、本発明に係る半導体装置によれば、第一の半導体素子を包囲して配線基板上に樹脂周壁が設けられ、この樹脂周壁の内方に封止用樹脂が充填され、この封止用樹脂の上面に第二の半導体素子が固着されているので、第二の半導体素子の外形サイズが第一の半導体素子の外形サイズより大きい場合であっても、第二の半導体素子の背面を封止用樹脂に載置することが可能になる。従って、ボンディングの際に、第二の半導体素子に作用する機械的な負荷を、封止用樹脂に負担させることができ、第二の半導体素子の破損を防止することができる。この結果、第一の半導体素子の外形サイズに制約されることがなく、任意の外形サイズの第二の半導体素子を積層することができ、上下に積層される半導体素子のあらゆる形状の組合せにおいて、高密度実装化を可能にすることができる。

【0031】本発明に係る半導体装置の製造方法によれば、配線基板上に第一の半導体素子を包囲する樹脂周壁を形成し、この樹脂周壁の内方に封止用樹脂を充填し、この封止用樹脂の上面に第二の半導体素子を固着するの

で、第一の半導体素子の外形サイズに依存することなく、第二の半導体素子の背面を支持する載置面を、封止用樹脂によって形成することができる。この結果、あらゆる形状の半導体素子の組合せにおいて、半導体素子を上下に積層した半導体装置の製造を可能にすることができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の断面図である。

【図 2】半導体素子の外形サイズの組合せ例 (a) (b) を示す説明図である。

【図 3】図 1 に示した半導体装置の変形例を説明する要部拡大断面図である。

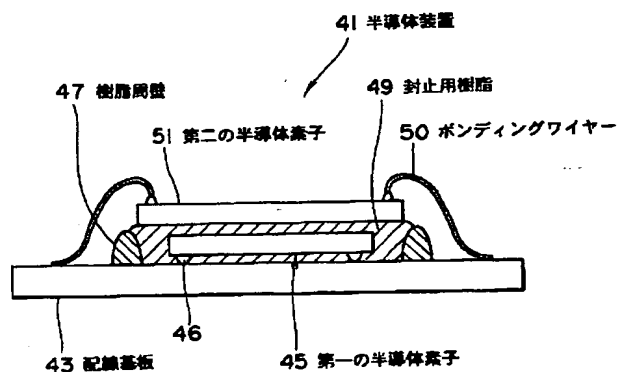
【図 4】上層の半導体素子にボンディングワイヤーが接続される従来の高密度実装化半導体装置の断面図である。

【図 5】下層の半導体素子にボンディングワイヤーが接続される従来の高密度実装化半導体装置の断面図である。

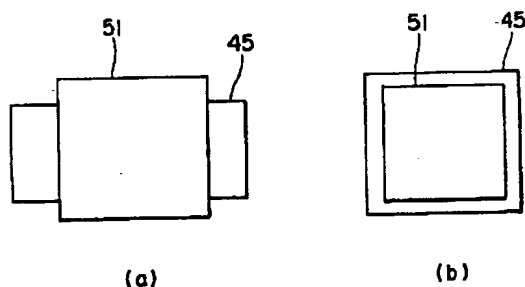
【符号の説明】

41…半導体装置、43…配線基板、45…第一の半導体素子、47…樹脂周壁、49…封止用樹脂、50…ボンディングワイヤー、51…第二の半導体素子

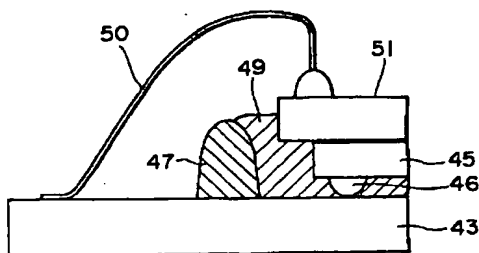
【図 1】



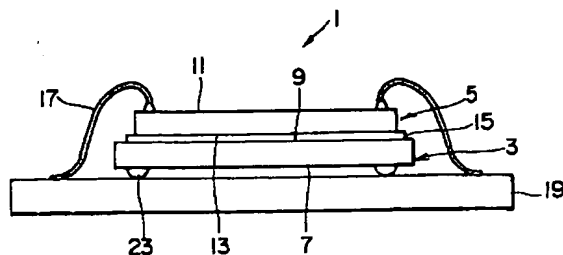
【図 2】



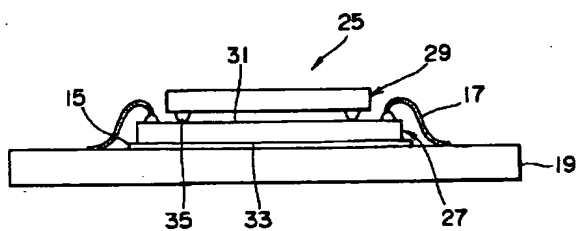
【図 3】



【図 4】



【図5】



フロントページの続き

(51) Int. Cl.⁷
テーマコード (参考)

H O 1 L 21/56
21/60
23/28

識別記号

3 0 1
3 1 1

F I

H O 1 L 23/28
25/08

C
Z